

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196502

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 2000-002595

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.01.2000

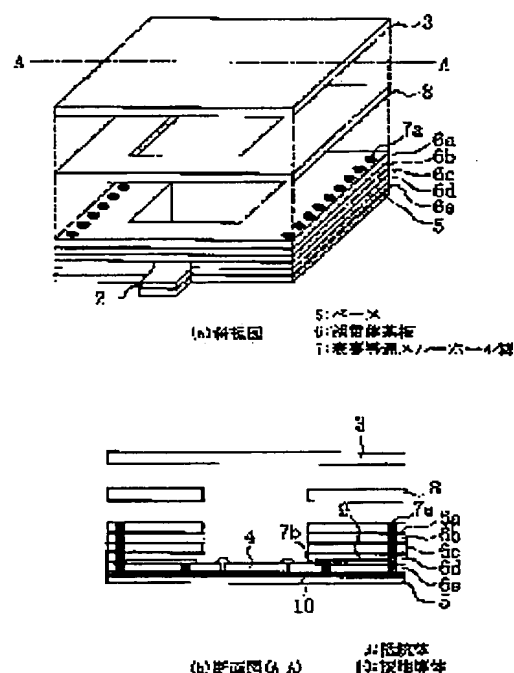
(72)Inventor : TAMAKI TSUTOMU
FURUYA TERUO

(54) SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor package in which resonance due to the inner dimensions of a cavity can be suppressed.

SOLUTION: The semiconductor package comprises a first group of surface/ rear conductive through holes formed around a cavity in order to obtain an equivalent metal wall, resistors disposed on a dielectric substrate and connected with the first group of surface/rear conduction through holes, and a second group of surface/rear conductive through holes formed between the first group of surface/rear conductive through holes and the cavity in order to connect the resistors with the ground conductor wherein resonance is suppressed by losing a high frequency current flowing into the cavity through the resistors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196502

(P2001-196502A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.⁷

H 0 1 L 23/12

識別記号

3 0 1

F I

H 0 1 L 23/12

テマコード* (参考)

3 0 1 Z

E

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願2000-2595 (P2000-2595)

(22) 出願日 平成12年1月11日 (2000.1.11)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 田牧 努

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 古屋 輝雄

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100102439

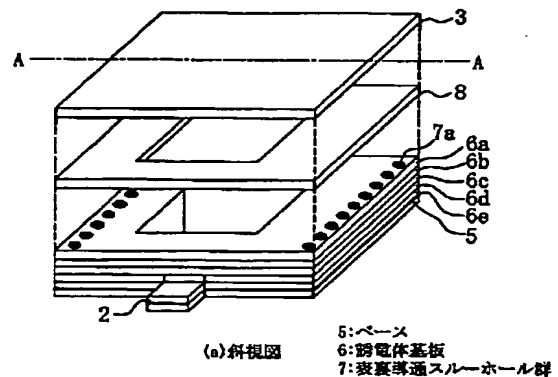
弁理士 宮田 金雄 (外1名)

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

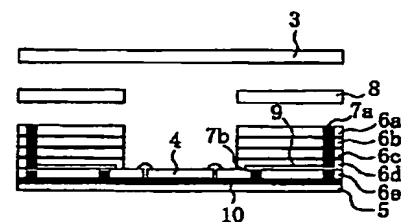
【課題】 キャビティ内寸法による共振を抑えることができる半導体パッケージを得る。

【解決手段】 キャビティの周囲に形成され、等価的に金属壁を得る第1の表裏導通スルーホール群と、誘電体基板上に配置され第1の表裏導通スルーホール群に接続される抵抗体と、上記第1の表裏導通スルーホール群とキャビティの間に形成され、この抵抗体を接地導体に接続する第2の表裏導通スルーホール群とを備え、キャビティ内に流れる高周波電流を抵抗体にて損失させ、共振を抑圧する。



(a) 斜視図

5: ベース
6: 誘電体基板
7: 表裏導通スルーホール群



(b) 断面図 (A-A)

9: 抵抗体
10: 接地導体

【特許請求の範囲】

【請求項 1】 誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティの周囲に形成され、等価的に金属壁を得る第 1 の表裏導通スルーホール群と、上記誘電体基板上に配置され、上記第 1 の表裏導通スルーホール群に接続される抵抗体と、上記第 1 の表裏導通スルーホール群と上記キャビティの間に形成され、この抵抗体を接地導体に接続する第 2 の表裏導通スルーホール群とを具備したことを特徴とする半導体パッケージ。

【請求項 2】 誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティの周囲に形成され、等価的に金属壁を得る表裏導通スルーホール群と、上記誘電体基板上に配置され上記表裏導通スルーホール群に接続される抵抗体と、上記表裏導通スルーホール群と上記キャビティの間に形成され、上記抵抗体を接地導体に接続する抵抗膜を形成したスルーホールとを具備したことを特徴とする半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高周波数帯で動作するマイクロ波、ミリ波集積回路を搭載するパッケージに関するものである。

【0002】

【従来の技術】図 4 は従来の半導体パッケージを示す図である。図において、1 は金属製の箱体、2 は入出力端子、3 はキャップ、4 は半導体素子及び誘電体回路基板である。

【0003】また、図 5 は従来の半導体パッケージの特性を示す図である。図において、曲線 a は入出力端子 2 における反射特性である。

【0004】次に、従来の半導体パッケージの動作及び特性について説明する。従来の半導体パッケージは、図 4 のように、箱体 1 に形成したキャビティに半導体素子及び誘電体回路基板 4 を配置し、入出力端子 2 を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板 4 と外部とを電気的に接続する。さらにキャップ 3 で封止することにより気密構造とする。このような半導体パッケージでは、キャビティ内寸法により遮断周波数の決まる導波管伝送モード及び共振周波数の決まる導波管共振モードが存在し、図 5 の曲線 a のように、この共振周波数を有する信号がキャビティに蓄えられる。この信号が、半導体素子及び誘電体回路基板 4 に結合した場合、異常発振や破壊を招き、外部の回路等にも悪影響を与える可能性がある。このように、従来のパッケージでは、共振による異常発振により、内部及び外部の回路を破壊する、または誤動作させる等の問題があった。

【0005】

【発明が解決しようとする課題】上記のように、従来の半導体パッケージでは、キャビティ内寸法によって共振が発生するため、内部の回路の異常発振、内部及び外部の回路の破壊または誤動作等を誘発する可能性があり、課題となっていた。

【0006】この発明はかかる課題を解決するためになされたものであり、キャビティ内寸法による共振を抑圧することができる半導体パッケージを提供するものである。

【0007】

【課題を解決するための手段】第 1 の発明による半導体パッケージは、キャビティの周囲に形成され、等価的に金属壁を得る第 1 の表裏導通スルーホール群と、誘電体基板上に配置され第 1 の表裏導通スルーホール群に接続される抵抗体と、上記第 1 の表裏導通スルーホール群とキャビティの間に形成され、この抵抗体を接地導体に接続する第 2 の表裏導通スルーホール群とを備えたものである。

【0008】また、第 2 の発明による半導体パッケージは、キャビティの周囲に形成され、等価的に金属壁を得る表裏導通スルーホール群と、誘電体基板上に配置され表裏導通スルーホール群に接続される抵抗体と、上記表裏導通スルーホール群とキャビティの間に形成され、この抵抗体を接地導体に接続する抵抗膜を形成したスルーホールとを備えたものである。

【0009】

【発明の実施の形態】実施の形態 1. 図 1 は、この発明の実施の形態 1 を示す半導体パッケージの構成図であり、図において、2 は入出力端子、3 はキャップ、4 は半導体素子及び誘電体回路基板、5 はベース、6 a ~ 6 e は積層してキャビティを構成する誘電体基板、7 a 及び 7 b は第 1 及び第 2 の表裏導通スルーホール群、8 はシールリング、9 は抵抗体、10 は接地導体である。

【0010】また、図 2 はこの発明の半導体パッケージの特性を示す図である。図において、曲線 a は従来の半導体パッケージの入出力端子 2 における反射特性、曲線 b は本発明の半導体パッケージの入出力端子 2 における反射特性である。

【0011】次に、動作及び特性について説明する。図 1 のようにベース 5 の上に誘電体基板 6 a ~ 6 e を積層してキャビティを構成し、第 1 の表裏導通スルーホール群 7 a によって等価的に金属壁を形成する。また、出力端子 2 を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板 4 と外部とを電気的に接続する。さらにシールリング 8 とキャップ 3 とで封止することにより気密構造とする。抵抗体 9 は、誘電体基板 6 e 上に配置され、一方を第 1 の表裏導通スルーホール群 7 a に接続し、他方を第 2 の表裏導通スルーホール群 7 b を介して接地導体 10 に接続することにより、キャビティ内に流れる高周波電流を損失させ、共振を抑圧する。

【0012】次に、この発明の半導体パッケージの特性について補足する。図2において、曲線aは、従来の技術（図5）にて説明したとおりである。曲線bは、この発明の半導体パッケージの入出力端子2における反射特性である。図のように、この半導体パッケージによると、キャビティ内寸法による共振を抑えることができるため、異常発振、内部及び外部回路の破壊、または誤動作等を抑圧することが可能になる。

【0013】また、この発明の半導体パッケージは、表裏導通スルーホール及び抵抗体の追加のみで構成できるため、パッケージ組立作業工程に影響を与えずに実現できる。

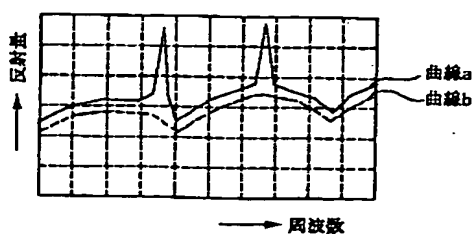
【0014】なお、ベース5及びシールリング8のない半導体パッケージにおいても、上記と同様の効果が得られる。

【0015】実施の形態2。図3は、この発明の実施の形態2を示す半導体パッケージの構成図であり、図において、3はキャップ、4は半導体素子及び誘電体回路基板、5はベース、6a～6eは積層してキャビティを構成する誘電体基板、7は表裏導通スルーホール群、8はシールリング、9は抵抗体、10は接地導体、11は抵抗膜を形成したスルーホール群である。

【0016】次に、動作及び特性について説明する。図3のようにベース5の上に誘電体基板6a～6eを積層してキャビティを構成し、表裏導通スルーホール群7によって等価的に金属壁を形成する。また、出力端子（図中では省略）を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板4と外部とを電気的に接続する。さらにシールリング8とキャップ3とで封止することにより気密構造とする。抵抗体9は、誘電体基板6e上に配置され、一方を表裏導通スルーホール群7に接続し、他方を抵抗膜を形成したスルーホール群11を介して接地導体10に接続することにより、キャビティ内に流れる高周波電流を損失させ、図2の曲線bのように、共振を抑圧する。このように、この半導体パッケージによると、キャビティ内寸法による共振を抑えることができるため、異常発振、内部及び外部回路の破壊、または誤動作等を抑圧することが可能になる。また、本発明の半導体パッケージは、抵抗膜を形成したスルーホール及*

40

【図2】



*び抵抗体の追加のみで構成できるため、パッケージ組立作業工程に影響を与えずに実現できる。

【0017】

【発明の効果】第1の発明によれば、キャビティの周囲に形成され、等価的に金属壁を得る第1の表裏導通スルーホール群と、誘電体基板上に配置され第1の表裏導通スルーホール群に接続される抵抗体と、第1の表裏導通スルーホール群とキャビティの間に形成され、この抵抗体を接地導体に接続する第2の表裏導通スルーホール群とを備えたことにより、キャビティ内寸法による共振を抑えることができるため、異常発振、内部及び外部回路の破壊、または誤動作等を抑圧することが可能になる。

【0018】また、第2の発明によれば、キャビティの周囲に形成され、等価的に金属壁を得る表裏導通スルーホール群と、誘電体基板上に配置され表裏導通スルーホール群に接続される抵抗体と、表裏導通スルーホール群とキャビティの間に形成され、この抵抗体を接地導体に接続する抵抗膜を形成したスルーホールとを備えたことにより、キャビティ内寸法による共振を抑えることができるため、異常発振、内部及び外部回路の破壊、または誤動作等を抑圧することが可能になる。

【図面の簡単な説明】

【図1】 この発明による半導体パッケージの実施の形態1を示す図である。

【図2】 この発明による半導体パッケージの特性を示す図である。

【図3】 この発明による半導体パッケージの実施の形態2を示す図である。

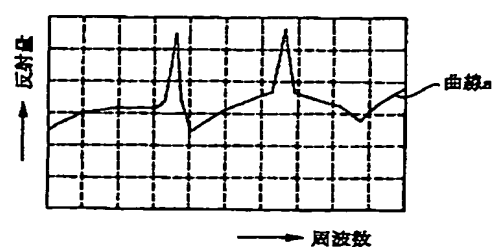
【図4】 従来の半導体パッケージの一例を示す図である。

【図5】 従来の半導体パッケージの特性を示す図である。

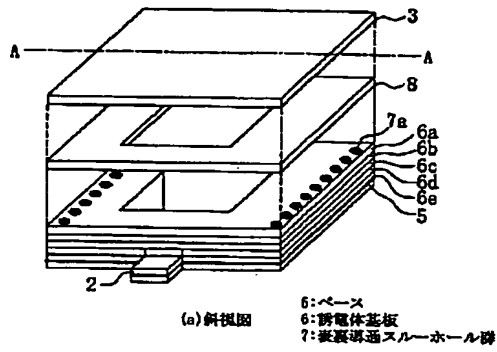
【符号の説明】

4 半導体素子及び誘電体回路基板、5 ベース、6a 誘電体基板、6b 誘電体基板、6c 誘電体基板、6d 誘電体基板、6e 誘電体基板、7 表裏導通スルーホール群、7a 第1の表裏導通スルーホール群、7b 第2の表裏導通スルーホール群、9 抵抗体、10 接地導体、11 抵抗膜を形成したスルーホール群。

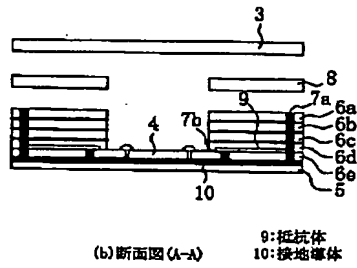
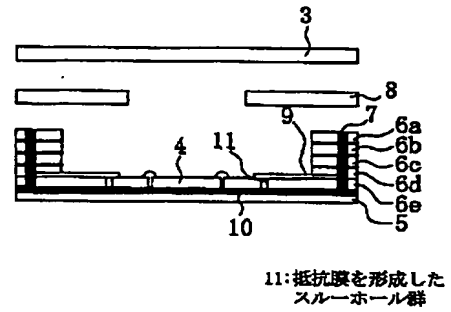
【図5】



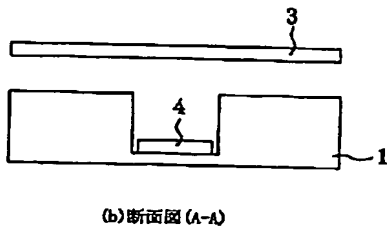
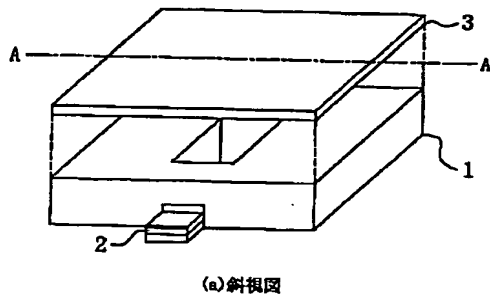
【図 1】



【図 3】



【図 4】



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor package which carried the semiconductor device and the dielectric circuit substrate in the cavity which carried out the laminating of the dielectric substrate and formed it The 1st front flesh-side flow through hole group which is formed in the perimeter of the above-mentioned cavity and acquires a metal wall equivalent, The resistor which is arranged on the above-mentioned dielectric substrate and connected to the front flesh-side flow through hole group of the above 1st, it forms between the front flesh-side flow through hole group of the above 1st, and the above-mentioned cavity -- having -- this resistor -- touch-down -- the semiconductor package characterized by providing the 2nd front flesh-side flow through hole group linked to a conductor.

[Claim 2] In the semiconductor package which carried the semiconductor device and the dielectric circuit substrate in the cavity which carried out the laminating of the dielectric substrate and formed it The front flesh-side flow through hole group which is formed in the perimeter of the above-mentioned cavity and acquires a metal wall equivalent, it forms between the resistor which is arranged on the above-mentioned dielectric substrate and connected to the above-mentioned table flesh-side flow through hole group, and the above-mentioned table flesh-side flow through hole group and the above-mentioned cavity -- having -- the above-mentioned resistor -- touch-down -- the semiconductor package characterized by providing the through hole in which the resistance film linked to a conductor was formed.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the microwave which operates with a high frequency band, and the package carrying a millimeter wave integrated circuit.

[0002]

[Description of the Prior Art] Drawing 4 is drawing showing the conventional semiconductor package. As for an input/output terminal and 3, in drawing, the box of metal [1] and 2 are [a cap and 4] a semiconductor device and a dielectric circuit substrate.

[0003] Moreover, drawing 5 is drawing showing the property of the conventional semiconductor package. In drawing, Curve a is a reflection property in an input/output terminal 2.

[0004] Next, actuation and the property of the conventional semiconductor package are explained. The conventional semiconductor package connects electrically the semiconductor device and the dielectric circuit substrate 4 which have arranged the semiconductor device and the dielectric circuit substrate 4 to the cavity formed in the box 1 like drawing 4 , formed the input/output terminal 2 and have been arranged inside a package, and the exterior. It considers as an airtight structure by furthermore closing with cap 3. The waveguide resonance mode it is decided in such a semiconductor package that the waveguide transmission mode it is decided by the cavity inside dimension method that cut-off frequency will be, and resonance frequency will be exists, and the signal which has this resonance frequency is stored in a cavity like the curve a of drawing 5 . When this signal combines with a semiconductor device and the dielectric circuit substrate 4, an abnormality oscillation and destruction may be caused and it may have a bad influence on an external circuit etc. Thus, with the conventional package, there was a problem of destroying or making the circuit of the interior and the exterior malfunction by the abnormality oscillation by resonance etc.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, in the conventional semiconductor package, since resonance occurred by the cavity inside dimension method, destruction or malfunction of the circuit of the abnormality oscillation of an internal circuit, the interior, and the exterior etc. might be induced, and it had become a technical problem.

[0006] This invention is made in order to solve this technical problem, and it offers the semiconductor package which can oppress resonance by the cavity inside dimension method.

[0007]

[Means for Solving the Problem] the semiconductor package by the 1st invention is formed in the perimeter of a cavity, and is formed between the 1st front flesh-side flow through hole group which acquires a metal wall equivalent, the resistor which is arranged on a dielectric substrate and connected to the 1st front flesh-side flow through hole group, the front flesh-side flow through hole group of the above 1st, and a cavity -- having -- this resistor -- touch-down -- it has the 2nd front flesh-side flow through hole group linked to a conductor.

[0008] moreover, the semiconductor package by the 2nd invention is formed in the perimeter of a cavity, and is formed between the front flesh-side flow through hole group which acquires a metal wall equivalent, the resistor which is arranged on a dielectric substrate and connected to a front flesh-side flow through hole group, and the above-mentioned table flesh-side flow through hole group and a cavity -- having -- this resistor -- touch-down -- it has the through hole in_ which the resistance film linked to a conductor was formed.

[0009]

[Embodiment of the Invention] the dielectric substrate which gestalt 1. drawing 1 of operation is the block

diagram of a semiconductor package showing the gestalt 1 of implementation of this invention, and in 2 a cap and 4 carry out an input/output terminal and 3, and a semiconductor device and a dielectric circuit substrate, and 5 carry out the laminating of the base, and 6a-6e, and constitutes a cavity in drawing, and 7a and 7b -- the 1st and the 2nd front flesh-side flow through hole group, and 8 -- a seal ring and 9 -- a resistor and 10 -- touch-down -- it is a conductor.

[0010] Moreover, drawing 2 is drawing showing the property of the semiconductor package of this invention. In drawing, a reflection property [in / in Curve a / the input/output terminal 2 of the conventional semiconductor package] and Curve b are the reflection properties in the input/output terminal 2 of the semiconductor package of this invention.

[0011] Next, actuation and a property are explained. The laminating of the dielectric substrates 6a-6e is carried out on the base 5 like drawing 1 , a cavity is constituted, and a metal wall is formed equivalent by 1st front flesh-side flow through hole group 7a. Moreover, the semiconductor device and the dielectric circuit substrate 4 which formed the output terminal 2 and have been arranged inside a package, and the exterior are connected electrically. It considers as an airtight structure by furthermore closing with a seal ring 8 and cap 3. a resistor 9 is arranged on dielectric substrate 6e -- having -- one side -- 1st front flesh-side flow through hole group 7a -- connecting -- another side -- 2nd front flesh-side flow through hole group 7b -- minding -- touch-down -- by connecting with a conductor 10, the high frequency current which flows in a cavity is made to lose, and resonance is oppressed.

[0012] Next, it supplements about the property of the semiconductor package of this invention. In drawing 2 , Curve a is as the Prior art (drawing 5) having explained. Curve b is a reflection property in the input/output terminal 2 of the semiconductor package of this invention. As shown in drawing, since resonance by the cavity inside dimension method can be suppressed according to this semiconductor package, it becomes possible to oppress destruction of an abnormality oscillation, the interior, and an external circuit, or malfunction.

[0013] Moreover, since it can constitute only from an addition of a front flesh-side flow through hole and a resistor, the semiconductor package of this invention can be realized, without affecting a package assembly-operation process.

[0014] In addition, the same effectiveness as the above is acquired also in a semiconductor package without the base 5 and a seal ring 8.

[0015] the dielectric substrate which gestalt 2. drawing 3 of operation is the block diagram of a semiconductor package showing the gestalt 2 of implementation of this invention, and a cap and 4 carry out 3, and a semiconductor device and a dielectric circuit substrate, and 5 carry out the laminating of the base, and 6a-6e, and constitutes a cavity in drawing, and 7 -- a front flesh-side flow through hole group and 8 -- a seal ring and 9 -- a resistor and 10 -- touch-down -- a conductor and 11 are the through hole groups in which the resistance film was formed.

[0016] Next, actuation and a property are explained. The laminating of the dielectric substrates 6a-6e is carried out on the base 5 like drawing 3 , a cavity is constituted, and a metal wall is formed equivalent by the front flesh-side flow through hole group 7. Moreover, the semiconductor device and the dielectric circuit substrate 4 which prepared the output terminal (it omits all over drawing), and have been arranged inside a package, and the exterior are connected electrically. It considers as an airtight structure by furthermore closing with a seal ring 8 and cap 3. the through hole group 11 which the resistor 9 has been arranged on dielectric substrate 6e, connected one side to the front flesh-side flow through hole group 7, and formed the resistance film for another side -- minding -- touch-down -- by connecting with a conductor 10, the high frequency current which flows in a cavity is made to lose, and resonance is oppressed like the curve b of drawing 2 . Thus, according to this semiconductor package, since resonance by the cavity inside dimension method can be suppressed, it becomes possible to oppress destruction of an abnormality oscillation, the interior, and an external circuit, or malfunction. Moreover, since it can constitute only from an addition of the through hole and the resistor in which the resistance film was formed, the semiconductor package of this invention can be realized, without affecting a package assembly-operation process.

[0017]

[Effect of the Invention] The 1st front flesh-side flow through hole group which according to the 1st invention is formed in the perimeter of a cavity and acquires a metal wall equivalent, The resistor which is arranged on a dielectric substrate and connected to the 1st front flesh-side flow through hole group, it forms between the 1st front flesh-side flow through hole group and a cavity -- having -- this resistor -- touch-down, since resonance by the cavity inside dimension method can be suppressed by having had the 2nd front flesh-side flow through hole group linked to a conductor It becomes possible to oppress destruction of an

abnormality oscillation, the interior, and an external circuit, or malfunction.

[0018] Moreover, the front flesh-side flow through hole group which according to the 2nd invention is formed in the perimeter of a cavity and acquires a metal wall equivalent, it forms between the resistor which is arranged on a dielectric substrate and connected to a front flesh-side flow through hole group, and a front flesh-side flow through hole group and a cavity -- having -- this resistor -- touch-down -- by having had the through hole in which the resistance film linked to a conductor was formed Since resonance by the cavity inside dimension method can be suppressed, it becomes possible to oppress destruction of an abnormality oscillation, the interior, and an external circuit, or malfunction.

[Translation done.]

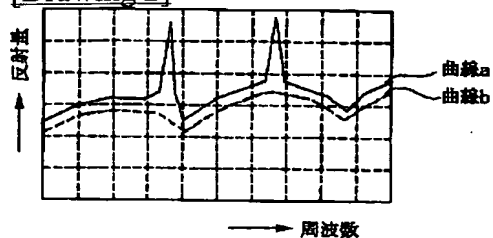
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

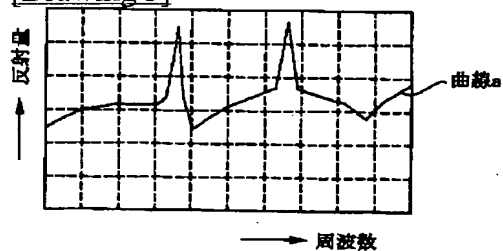
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

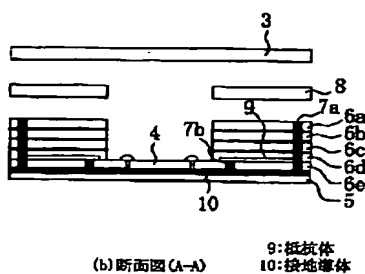
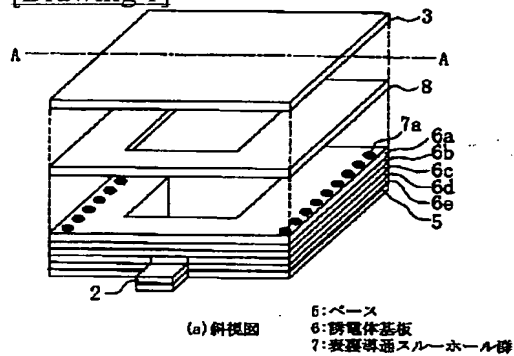
[Drawing 2]



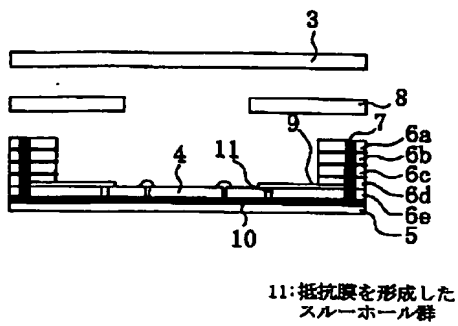
[Drawing 5]



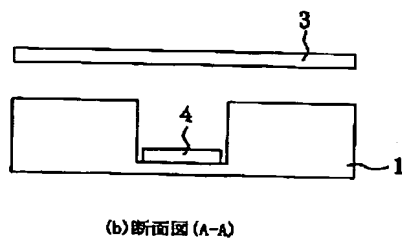
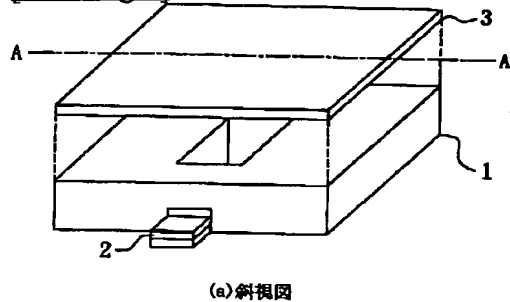
[Drawing 1]



[Drawing 3]



[Drawing 4]



[Translation done.]